

UNIVERSITI SAINS MALAYSIA

Peperiksaan Semester Pertama
Sidang Akademik 1995/96

Oktober - November 1995

EEE 325 - Rekabentuk Litar Bersepadu Analog

Masa : [3 jam]

ARAHAN KEPADA CALON :

Sila pastikan bahawa kertas peperiksaan ini mengandungi 8 muka surat bercetak dan **ENAM (6)** soalan sebelum anda memulakan peperiksaan ini.

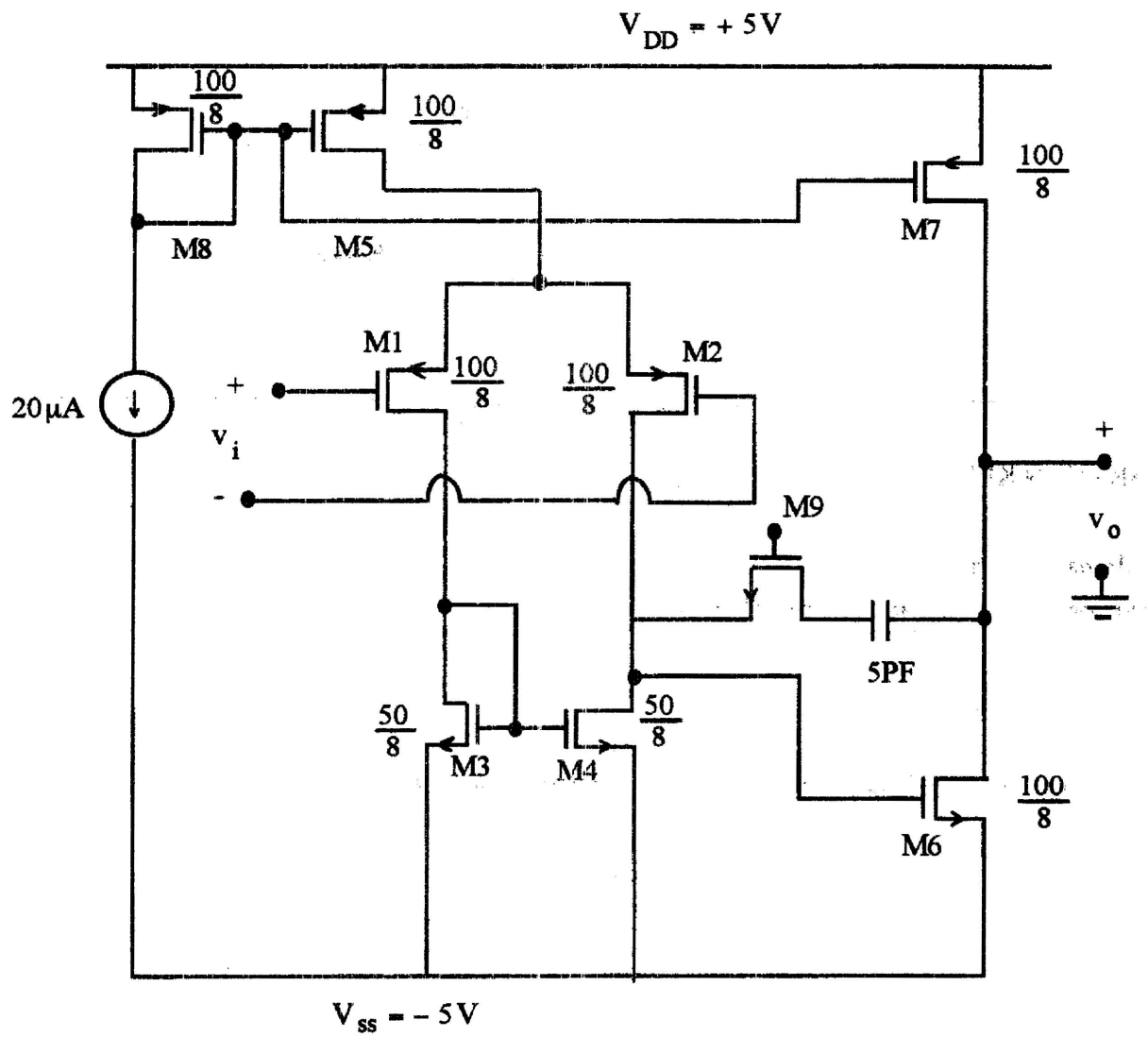
Jawab **LIMA (5)** soalan.

Agihan markah bagi soalan diberikan di sut sebelah kanan soalan berkenaan.

Jawab semua soalan di dalam Bahasa Malaysia.

...2/-

1.



...3/-

Di atas adalah satu penguat kendalian CMOS dua peringkat mudah. Kirakan arus-arus pincang dan gandaan voltan isyarat kecil frekuensi rendah. Anggap parameter-parameter yang diberikan dalam Jadual 1 dan anggapkan bahawa $X_d = 1\mu$ bagi semua peranti dan $\frac{dx_d}{dV_{DS}} = .1\mu/V$.

Kirakan julat CM masukan dengan menganggapkan bahawa telaga-telaga M1 & M2 disambung kepada titik punca sepunya.

Above is a simple two stage CMOS opamp. Calculate the bias currents and the low frequency small signal voltage gain. Assume the parameters given in Table 1 and assume that $X_d = 1\mu$ for all devices and $\frac{dx_d}{dV_{DS}} = .1\mu/V$. Calculate the input

CM-range assuming the wells of M1 & M2 are connected to their common source point.

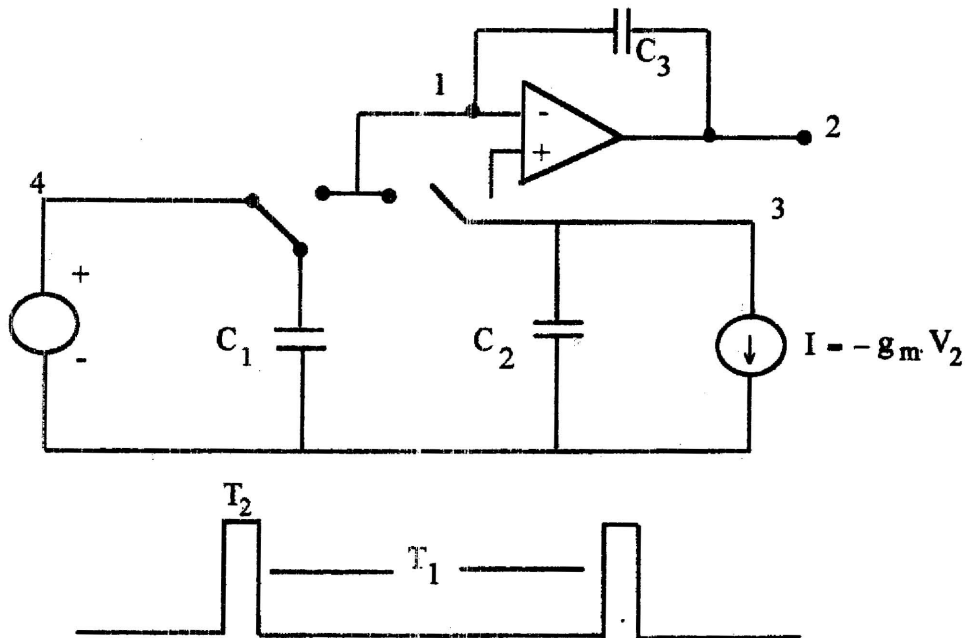
(100%)

...4/-

TABLE 1 Summary of Process Parameters for a Typical Silicon-Gate *n*-Well CMOS Process with 3 μ Minimum Allowed Gate Length

Parameter	Symbol	Value <i>n</i> -Channel Transistor	<i>p</i> -Channel Transistor	Units
Substrate doping	N_A, N_D	1×10^{15}	1×10^{16}	Atoms/cm ³
Gate oxide thickness	t_{ox}	400	400	Angstroms
Metal-silicon work function	ϕ_{ms}	-0.6	-0.1	V
Channel mobility	μ_n, μ_p	700	350	cm ² /V-sec
Minimum drawn channel length	L_{drawn}	3	3	Microns
Source, drain junction depth	X_j	0.6	0.6	Microns
Source, drain side diffusion	L_d	0.3	0.3	Microns
Overlap capacitance per unit gate width	C_{ol}	0.35	0.35	fF/ μ
Threshold adjust implant (box dist)				
impurity type		P	P	
effective depth	X_i	0.3	0.3	Microns
effective surface concentration	N_{si}	2×10^{16}	0.9×10^{16}	Atoms/cm ³
Nominal threshold voltage	V_t	0.7	-0.7	V
Polysilicon gate doping concentration	$N_{d,poly}$	10^{20}	10^{20}	Atoms/cm ³
Poly gate sheet resistance	R_s	20	20	Ω/\square
Source, drain-bulk junction capacitances (zero bias)	C_{j0}	0.08	0.20	fF/ μ^2
Source, drain-bulk junction capacitance grading coefficient	n	0.5	0.5	
Source, drain periphery capacitance (zero bias)	C_{jsw0}	0.5	1.5	fF/ μ
Source, drain periphery capacitance grading coefficient	n	0.5	0.5	
Source, drain junction built-in potential	ψ_0	0.65	0.65	V
Surface-state density	$\frac{Q_{ss}}{q}$	10^{11}	10^{11}	Atoms/cm ²
Channel-length modulation parameter	$\frac{dX_e}{dV_{DS}}$	0.2	0.1	μ/V

2.



Di atas adalah satu gambarajah blok litar pengukuran masa antara denyut. Rekabentuk penguat kendalian, litar pincang, pensuisan dan kapasitor C_1 & C_2 untuk membina gambarajah blok ini. Juga tunjukkan bahawa $I \approx C_1 V_4 / T_1$ bagi litar yang direkabentuk tersebut.

Above is a interpulse time measurement circuit block diagram. Design the opamp, biasing circuit, switching and Capacitors C_1 & C_2 to realize this block diagram. Also, show that $I \approx C_1 V_4 / T_1$ for the designed circuit.

(100%)

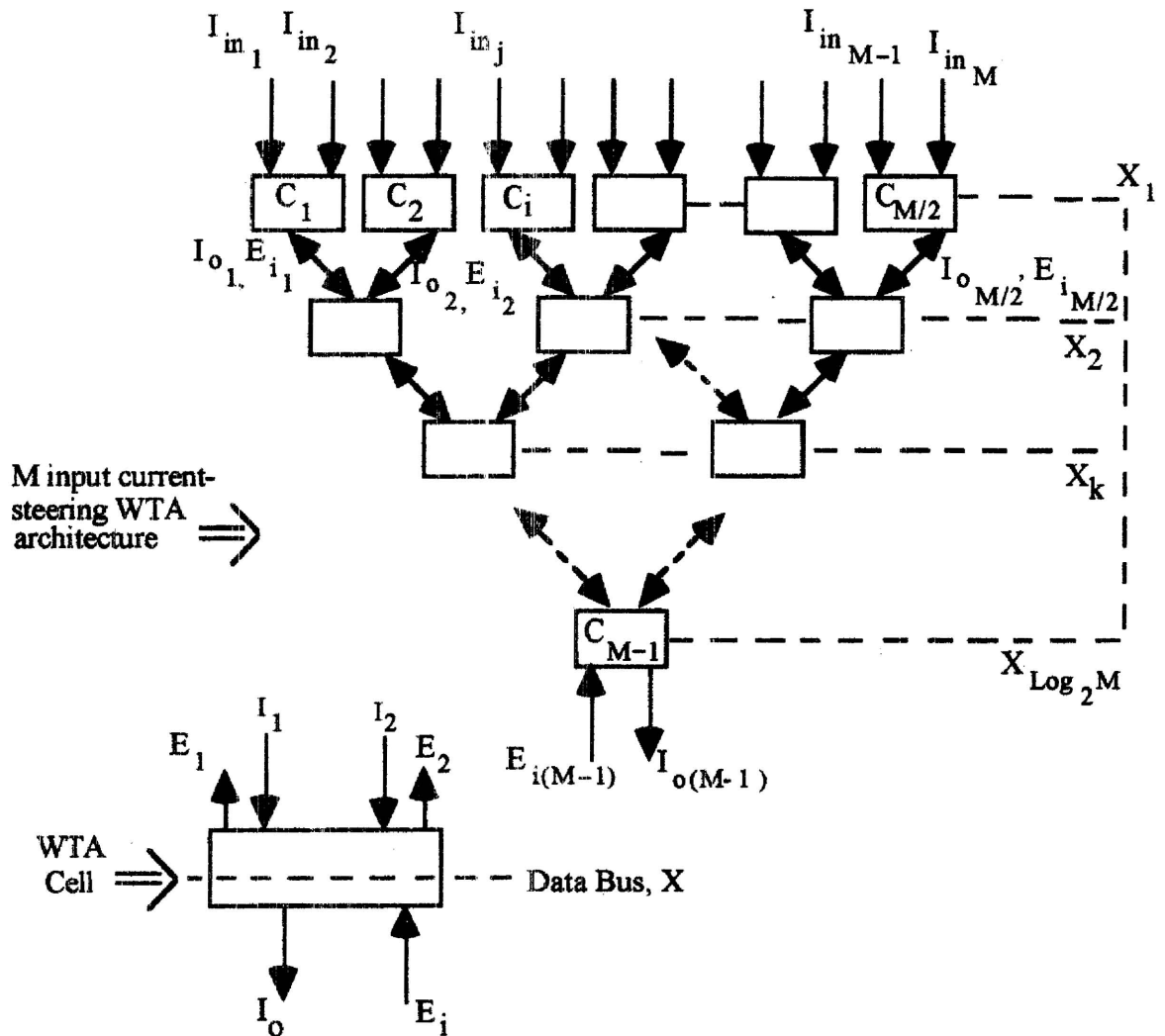
3. Rekabentuk pendarab analog CMOS 4 sukuan menggunakan peranti-peranti di dalam kawasan tepu operasi. Terbitkan semua persamaan. Kemudian, lanjutkan rekabentuk bagi satu pendarab julat lebar.

Design a 4-quadrant CMOS Analog multiplier using devices in the saturation region of operation. Derive all equations. Next, extend the design for a wide-range multiplier.

(100%)

...6/-

4.

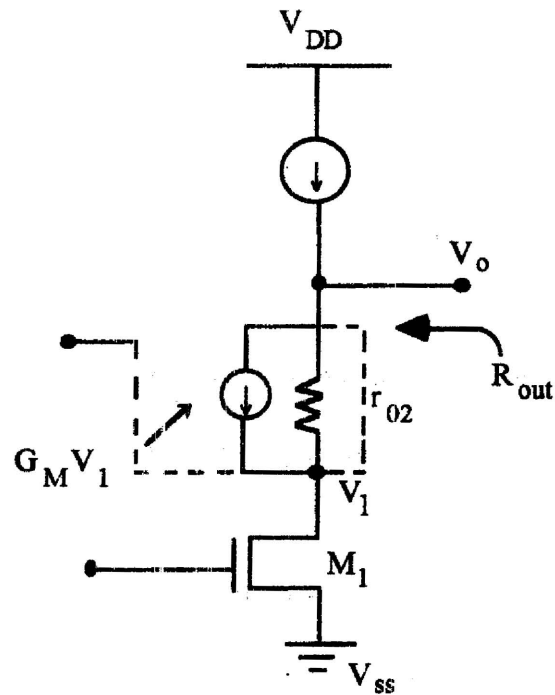


Di atas adalah senibina 'Winner-Take-All' mod arus analog. Rekabentuk litar memandu arus menggunakan peranti-peranti dwikutub pelengkap. Terangkan bagaimana ia beroperasi.

Above is the analog current mode Winner-Take-All architecture. Design the current steering circuit using complementary bipolar devices. Explain the operation.

(100%)

...7/-



Di atas adalah satu peringkat kaskod untuk meningkatkan galangan keluaran. Rekabentuk peranti-peranti penambahan galangan di dalam dwikutub dan BiCMOS, dan bandingkan kelebihan dan kekurangannya.

Above is a cascode stage for boosting the output impedance. Design impedance enhancement devices in Bipolar and BiCMOS, and, compare their advantages and disadvantages.

(100%)

...8/-

6. Rekabentuk litar bersepadu yang berikut

Design the following IC'S

(i) Satu talian lengah analog

An analog delay line

(25%)

(ii) Satu litar pengagregatan pengikut analog

An analog follower-aggregation circuit

(25%)

(iii) Satu peringkat tertib kedua

A second-order-section

(25%)

(iv) Satu litar punca kuasa dua

A square-root circuit

(25%)

ooooooo